

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-149108

(43)Date of publication of application : 07.06.1990

(51)Int.Cl. H03F 1/02
H03G 3/34

(21)Application number : 63-303068

(71)Applicant : NEC CORP
NEC ENG LTD

(22)Date of filing : 30.11.1988

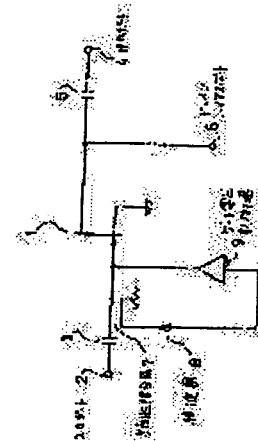
(72)Inventor : SAIKAI TOSHIO
TAUCHI NOBUTAKA

(54) GATE VOLTAGE CONTROL CIRCUIT

(57)Abstract:

PURPOSE: To reduce power consumption by decreasing the drain current of a FET by detecting a high frequency signal inputted to the FET, and controlling a voltage to be applied on the gate of the FET based on a detecting signal by a gate voltage controller.

CONSTITUTION: A gate voltage control circuit is constituted in such a way that part of the high frequency signal is taken out by connecting a directional coupler 7 to the gate of the FET 1, and a detector 8 and the gate voltage controller 9 are connected to the output line of the high frequency signal, and the output of the gate voltage controller 9 is outputted to the gate of the FET 1. Therefore, the power level of the high frequency signal can be monitored by detecting part of the high frequency signal inputted to a high frequency signal input port 2 by the detector 8. And by controlling a detected voltage at the gate voltage controller 9, the drain current to be applied from a drain bias port 6 can be controlled. In such a way, it is possible to reduce the power consumption by decreasing or decreasing to zero the drain current of the FET.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-149108

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月7日

H 03 F 1/02
H 03 G 3/34

6832-5J
8221-5J

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 ゲート電圧制御回路

⑯ 特 願 昭63-303068

⑰ 出 願 昭63(1988)11月30日

⑱ 発 明 者 西 海 敏 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 田 内 庸 貴 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号
㉒ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

ゲート電圧制御回路

2. 特許請求の範囲

1. FETのゲートに印加するゲート電圧を制御するゲート電圧制御回路において、前記FETに入力される高周波信号の一部を取り出す方向性結合器と、この方向性結合器で取り出した高周波信号を検波する検波器と、この検波器で検波した信号に基づいて前記FETのゲートに印加する電圧を制御するゲート電圧制御器とを備えることを特徴とするゲート電圧制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電界効果トランジスタ(FET)のドレイン電流制御を行うためのゲート電圧制御回路に関し、特に非線形時の消費電力を低減したゲート電圧制御回路に関する。

〔従来の技術〕

従来、FETを用いたゲート電圧制御回路とし

て固定バイアスを用いた回路が利用されている。第2図はその一例であり、FET1のゲートには直流カットコンデンサ3を介して高周波信号入力ポート2を接続し、またドレインには直流カットコンデンサ5を介して高周波信号出力ポート4を接続し、またドレインバイアスポート6を接続している。そして、ゲート電圧制御回路として、FET1のゲートに可変抵抗器10を介してゲート電圧バイアスポート11を接続し、このバイアスポート11に印加されるゲートバイアス電圧を可変抵抗器10によって調節してFET1のゲートに印加している。

〔発明が解決しようとする課題〕

上述した従来のゲート電圧制御回路では、可変抵抗器10によってゲートバイアス電圧が一義的に設定されるため、FET1に高周波信号が入力されていない場合でも、ある一定のドレイン電流が常時流れている。このため、FET1で大電力の増幅器等を構成した場合には、非線形時にも大量のドレイン電流が流れ、大きな電力が消費され

るという問題がある。

また、増幅器を多段に構成する際に、低消費電力化、各段のドライブレベル等を考慮しなければならないため、増幅器の混変調歪特性のばらつきを改善するには多種のFET、ハイブリッドICを必要とし、高周波回路部、直流バイアス回路部の回路構成が複雑になるという問題もある。

本発明はこれらの問題を解消するためにFETの消費電力の低減を可能にしたゲート電圧制御回路を提供することを目的とする。

〔課題を解決するための手段〕

本発明のゲート電圧制御回路は、FETに入力される高周波信号の一部を取り出す方向性結合器と、この方向性結合器で取り出した高周波信号を検波する検波器と、この検波器で検波した信号に基づいてFETのゲートに印加する電圧を制御するゲート電圧制御器とを備えている。

〔作用〕

上述した構成では、高周波信号が入力されない非稼働時にはゲート電圧制御器からFETに印加

することができる。そして、この検波した電圧をゲート電圧制御器9において制御し、この電圧をゲート電圧としてFET1に入力させることにより、ゲートバイアスを制御しドレインバイアスポート6から印加されるドレイン電流を制御することが可能になる。

したがって、高周波信号の入力レベルが低いときにはドレイン電流を抑制し、入力レベルが上昇するに従ってドレイン電流を増加させるようにゲート電圧制御器9を設定しておけば、非稼働時、つまり入力電力が検波器8で検出されない場合は、ゲート電圧がピンチオフ電圧に達し、ドレイン電流が流れなくなり、消費電力の低減を可能とする。

これにより、FETで大電力増幅器を構成した場合にも、非稼働時における消費電力を低減できる。また、同等の混変調歪特性を得るために、高周波回路部や直流バイアス回路部の回路構成を簡略化することが可能となる。

〔発明の効果〕

以上説明したように本発明は、FETに入力さ

するゲート電圧をピンチオフ電圧以下とし、FETのドレイン電流を低減ないし零にして消費電力を低減する。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図は本発明の一実施例の回路図である。図において、FET1のゲートには直流カットコンデンサ3を介して高周波信号入力ポート2を接続し、またドレインには直流カットコンデンサ5を介して高周波信号出力ポート4を接続し、またドレインバイアスポート6を接続している。そして、ゲート電圧制御回路として、前記FET1のゲートに方向性結合器7を接続して入力される高周波信号の一部を取り出すように構成し、この高周波信号の取出線路に検波器8とゲート電圧制御器9を接続し、このゲート電圧制御器9の出力をFET1のゲートに出力するように構成している。

この構成によれば、高周波信号入力ポート3に入力された高周波信号の一部を検波器8で検波することにより高周波信号の電力レベルをモニター

れる高周波信号を検波し、この検波信号に基づいてFETのゲートに印加する電圧をゲート電圧制御器で制御するように構成しているので、高周波信号が入力されない非稼働時にはゲート電圧制御器からFETに印加するゲート電圧をピンチオフ電圧以下とし、FETのドレイン電流を低減して消費電力の低減を図ることができる効果がある。また、FETの混変調歪特性のばらつきを補正し、かつ混変調歪特性の温度補償も実現できる効果がある。

4. 図面の簡単な説明

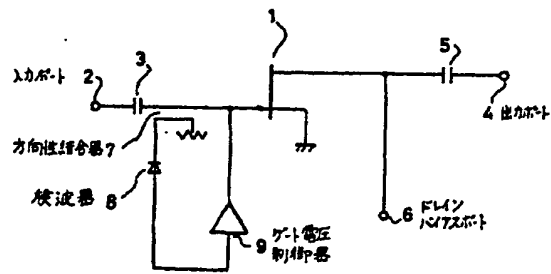
第1図は本発明の一実施例の回路図、第2図は従来のゲート電圧制御回路の回路図である。

1…FET、2…高周波信号入力ポート、3…直流カットコンデンサ、4…高周波信号出力ポート、5…直流カットコンデンサ、6…ドレインバイアスポート、7…方向性結合器、8…検波器、9…ゲート電圧制御器、10…可変抵抗器、11…ゲートバイアスポート。

代理人 弁理士 鈴木 章



第 1 図



第 2 図

